

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245529

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	1/22	7509-5 J		
	1/32	9067-5 J		
	3/20	8839-5 J		

審査請求 未請求 請求項の数4 O L (全 7 頁)

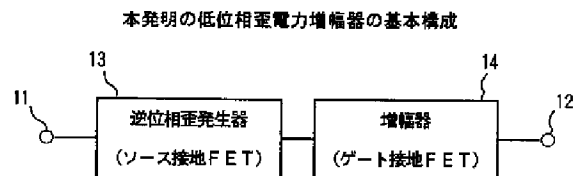
(21) 出願番号	特願平6-33734	(71) 出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22) 出願日	平成6年(1994)3月3日	(72) 発明者	林 等 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(72) 発明者	中津川 征士 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(72) 発明者	村口 正弘 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(74) 代理人	弁理士 古谷 史旺

(54) 【発明の名称】 低位相歪電力増幅器

(57) 【要約】

【目的】 特別な付加回路を用いずにF E T増幅器の入力電力に対する位相変化が小さく、電力効率がよく、モノリシック I C 化が容易で低コストな低位相歪電力増幅器を実現する。

【構成】 増幅器として機能するゲート接地F E T (ソース接地F E T) と、増幅作用のある逆位相歪発生器として機能するソース接地F E T (ゲート接地F E T) とを組み合わせて構成する。



【特許請求の範囲】

【請求項 1】 ゲート接地 FET を用いた増幅器の前段にソース接地 FET を用いた逆位相歪発生器を接続したことを特徴とする低位相歪電力増幅器。

【請求項 2】 ゲート接地 FET を用いた増幅器の後段にソース接地 FET を用いた逆位相歪発生器を接続したことを特徴とする低位相歪電力増幅器。

【請求項 3】 ソース接地 FET を用いた増幅器の前段にゲート接地 FET を用いた逆位相歪発生器を接続したことを特徴とする低位相歪電力増幅器。

【請求項 4】 ソース接地 FET を用いた増幅器の後段にゲート接地 FET を用いた逆位相歪発生器を接続したことを特徴とする低位相歪電力増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば携帯電話機などの無線通信装置において、帯域制限されたデジタル信号の変調波を低位相歪で高効率に増幅する低位相歪電力増幅器に関する。

【0002】

【従来の技術】携帯電話機などに使用されている多値 PSK 変調デジタル方式の無線通信装置では、送信用電力増幅器の高出力・高効率化および低歪化が要求されている。無線通信装置の低歪化は、増幅器の A 級動作により実現するのが簡単である。しかし、A 級動作は、直流入力からマイクロ波出力への変換効率が悪い。そこで、高効率が要求される電池駆動の携帯電話機などでは AB 級動作が主流になっている。

【0003】ところが、AB 級動作の FET 増幅器では、入力電力に対する出力位相が大きく変化することがわかっている。このような増幅器で多値 PSK 変調波を増幅すると出力信号スペクトラムが広がり、隣接チャネルへ妨害を与えてしまう。そこで、図 11 に示すように、FET を用いた電力増幅器 31 の前段にブリディストーション型の位相歪補償回路 32 を接続し、そこで逆方向の位相を発生させて位相歪を打ち消す構成が考えられている（小倉、「Si-バイポーラトランジスタを用いた簡易型リニアライザ」、1993 年電子情報通信学会春季大会、No. C-73）。

【0004】この位相歪補償回路 32 は、レベル調整用アッテネータ 33 と Si バイポーラトランジスタを用いた逆位相歪発生器 34 により構成される。FET を用いた電力増幅器 31 は、入力電力の増加に伴って通過位相が進む特性を有する。一方、Si バイポーラトランジスタを用いた逆位相歪発生器 34 は入力電力の増加に伴って通過位相が遅れる特性であり、FET を用いた電力増幅器 31 で発生する位相歪と逆の位相歪をあらかじめ入力信号に与えて注入することにより不要な位相歪を打ち消す構成になっている。しかし、このような位相歪補償回路 32 は Si バイポーラトランジスタを用いているの

で、FET を用いた電力増幅器 31 とのモノリシック IC 化が困難であった。

【0005】図 12 は、低歪化を図った従来の電力増幅器の構成を示す（特開平 5-152877 号）。図において、41 は入力端子、42 は出力端子、43 はソース接地の FET、44 は入力整合回路、45 は出力整合回路、46 は FET のゲートバイアス端子、47 は FET のドレインバイアス端子、48 は非線形抵抗である。

【0006】本構成は、FET 増幅器の利得低下によるドレインコンダクタンス G_d の増大により位相が進み、ドレイン・ゲート間コンダクタンス G_{dg} の増大により位相が遅れることに着目したものである。すなわち、位相変化を打ち消すように端子電圧に応じて変化する非線形抵抗 48 をドレイン・ゲート間に挿入することにより、FET 増幅器の位相変化を小さくする構成になっている。しかし、このような電力増幅器では、非線形抵抗 48 のような特別な制御素子を用いているので、最適な G_{dg} を作りだすための調整が困難であり、さらにそれを能動的に制御するには特別な周辺回路が必要になっていた。

【0007】

【発明が解決しようとする課題】従来の電力増幅器において、位相歪を抑えるために A 級動作で使用すれば電力効率が悪くなる。また、AB 級動作時の位相歪を補償するために従来の位相歪補償回路を付加すれば、モノリシック IC 化が困難なために装置コストが高くなる。また、非線形抵抗を用いた構成においても、ドレイン・ゲート間に負帰還がかかるので利得が小さくなり、高出力・高効率化が望めなかった。

【0008】本発明は、特別な付加回路を用いずに FET 増幅器の入力電力に対する位相変化が小さく、電力効率がよく、モノリシック IC 化が容易で低コストな低位相歪電力増幅器を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の低位相歪電力増幅器は、増幅器として機能するゲート接地 FET（ソース接地 FET）と、増幅作用のある逆位相歪発生器として機能するソース接地 FET（ゲート接地 FET）とを組み合わせる構成とする。

【0010】

【作用】本発明では、増幅作用のあるソース接地 FET（ゲート接地 FET）を用いた逆位相歪発生器での位相進み（位相遅れ）と、ゲート接地 FET（ソース接地 FET）を用いた増幅器での位相遅れ（位相進み）とを組み合わせることにより、電力増幅器全体の位相歪を打ち消すことができる。

【0011】

【実施例】図 1 は、本発明の低位相歪電力増幅器の基本構成を示す（請求項 1）。図において、11 は入力端子、12 は出力端子、13 はソース接地 FET を用いた

3

逆位相歪発生器、14はゲート接地FETを用いた増幅器であり、ソース接地FETを用いた逆位相歪発生器13とゲート接地FETを用いた増幅器14が縦続に接続される。

【0012】なお、逆位相歪発生器13をゲート接地FETとし、増幅器14をソース接地FETとする構成でもよい（請求項3）。また、逆位相歪発生器13と増幅器14の接続を逆にした構成でもよい（請求項2，請求項4）。

【0013】以下、図2～図8を参照して本構成の動作原理について説明する。図2は、ソース接地FET増幅器とゲート接地FET増幅器のAB級動作時の入出力特性を示す。矢印は1dB利得圧縮点を示す。一般に、ソース接地FET増幅器では入力電力の増加に伴って利得が低下するとともに、出力位相が進む方向に変化する。一方、ゲート接地FET増幅器では入力電力の増加に伴って利得が低下するとともに、出力位相が遅れる方向に変化する。

【0014】ここで、ソース接地FET増幅器とゲート接地FET増幅器で位相歪が逆になる要因を解析的に説明する。図3は、非線形FET等価回路を示す。非線形素子としては、Gdg、Cgs、Ggs、Gdが考えられる。そこで、これら4個の非線形素子のうち1つだけをパラ

$$i_1 = j\omega C_{gs} v_1$$

$$i_2 = (j\omega C_{ds} + G_d) v_2 + g_m v_1$$

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} j\omega C_{gs} & 0 \\ g_m & j\omega C_{ds} + G_d \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad \dots(3)$$

$$S_{21} = \frac{-2 g_m Z_0}{1 + (j\omega C_{ds} + G_d + j\omega C_{gs}) Z_0 + j\omega C_{gs} (j\omega C_{ds} + G_d) Z_0^2} \quad \dots(4)$$

【0017】これを変形すると、

【数2】

【0018】

$$S_{21} = \frac{-2 g_m Z_0}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2 + j\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)} \quad \dots(5)$$

【0019】となる。また、その位相は、

【数3】

【0020】

$$\text{phase}(S_{21}) = \pi - \tan^{-1} \left[\frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} \right] \quad \dots(6)$$

【0021】となる。ここで、

【数4】

【0022】

$$f(G_d) = \frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} = \frac{C G_d + D}{A G_d + B} \quad \dots(7)$$

$$g(C_{gs}) = \frac{\omega Z_0 (C_{ds} + C_{gs} + G_d C_{gs} Z_0)}{1 + G_d Z_0 - \omega^2 C_{gs} C_{ds} Z_0^2} = \frac{G C_{gs} + H}{E C_{gs} + F} \quad \dots(8)$$

4

メータとして、ハーモニック・バランスを用いた解析法により周波数 $f = 1.9\text{GHz}$ での S_{21} の位相変化を調べた。初期値パラメータはゲート幅 $960\mu\text{m}$ のFETの小信号Sパラメータを測定し、フィッティングしたものを用いた。図4はその結果を示す。(1), (2), (3), (4) は、それぞれ G_d , G_{dg} , C_{gs} , G_{gs} をパラメータとしたときの位相変化である。ソース接地の場合とゲート接地の場合では、位相の進み遅れが逆になったのは G_d をパラメータとした場合だけである。大信号領域すなわち飽和領域に達した場合には、ゲート・ドレイン間でブレイクダウン電流が流れ、ゲートのジョットキー接合において順方向リーク電流が流れるので、 G_{dg} および G_{gs} の増大により位相が進む。一方、低利得の位相変化が生じはじめる初期段階では、 G_d および C_{gs} の増大が特に位相特性に影響を及ぼす。

【0015】次に、 G_d および C_{gs} の増大による位相変化について、図5に示す簡略化した等価回路を用いて説明する。図5(1)はソース接地FETの等価回路である。小信号解析を簡単にするために、大信号時にのみ影響を与える G_{dg} , C_{dg} , G_{gs} を省略する。ここでは、入出力インピーダンスを Z_0 とする。

【0016】

【数1】

$$\dots(1)$$

$$\dots(2)$$

$$\dots(3)$$

$$\dots(4)$$

$$\dots(5)$$

$$\dots(6)$$

$$\dots(7)$$

$$\dots(8)$$

【0023】とおくと、

【数5】

【0024】

$$AD-BC = \omega Cds Z_0^2 (1 + \omega^2 Cgs^2 Z_0^2) \quad \dots(9)$$

$$EH-FG = -\omega Z_0 \{ (1 + Gd Z_0)^2 + \omega^2 Cd^2 Z_0^2 \} \quad \dots(10)$$

$$AD-BC > 0 \Leftrightarrow \frac{\partial f(Gd)}{\partial Gd} < 0 \Leftrightarrow \frac{\partial \text{phase}(S_{21})}{\partial Gd} > 0 \quad \dots(11)$$

$$EH-FG < 0 \Leftrightarrow \frac{\partial f(Cds)}{\partial Cds} > 0 \Leftrightarrow \frac{\partial \text{phase}(S_{21})}{\partial Cds} < 0 \quad \dots(12)$$

【0025】が成り立つ。よって、ソース接地FETの場合には、

Gdの増加に応じて位相が進む

Cgsの増加に応じて位相が遅れる

ことがわかる。

【0026】次に、ゲート接地FETについて説明す

る。図5(2)はゲート接地FETの等価回路である。さらに、解析を簡単にするために、入出力間に直列に入っており容量値が小さく位相変化にさほど影響を及ぼさないと考えられるCdsを省略する。

【0027】

【数6】

$$i_1 + i_2 = j\omega Cgs v_1 \quad \dots(13)$$

$$i_2 = Gd(v_2 - v_1) - g_m v_1 \quad \dots(14)$$

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} g_m + j\omega Cgs + Gd & -Gd \\ -g_m - Gd & Gd \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad \dots(15)$$

$$S_{21} = \frac{2(g_m + Gd)Z_0}{1 + (2Gd + g_m + j\omega Cgs)Z_0 + j\omega Cgs Gd Z_0^2} \quad \dots(16)$$

【0028】これを変形すると、

【数7】

【0029】

$$S_{21} = \frac{2(g_m + Gd)Z_0}{1 + (2Gd + g_m)Z_0 + j\omega Cgs Z_0 (1 + Gd Z_0)} \quad \dots(17)$$

【0030】となる。また、その位相は、

【数8】

【0031】

$$\text{phase}(S_{21}) = \tan^{-1} \left(\frac{-\omega Cgs Z_0 (1 + Gd Z_0)}{1 + (2Gd + g_m)Z_0} \right) \quad \dots(18)$$

【0032】となる。ここで、

【数9】

【0033】

$$f(Gd) = \frac{\omega Cgs Z_0 (1 + Gd Z_0)}{1 + (2Gd + g_m)Z_0} = \frac{CGd + D}{AGd + B} \quad \dots(19)$$

$$g(Cgs) = \frac{\omega Cgs Z_0 (1 + Gd Z_0)}{1 + (2Gd + g_m)Z_0} \quad \dots(20)$$

【0034】とおくと、

【数10】

【0035】

$$AD - BC = \omega C_{ds} Z_0^2 (1 - g_m Z_0) \quad \dots(21)$$

$$1 - g_m Z_0 < 0 \Leftrightarrow AD - BC < 0 \Leftrightarrow \frac{\partial f(G_d)}{\partial G_d} > 0 \Leftrightarrow \frac{\partial \text{phase}(S_{21})}{\partial G_d} < 0 \quad \dots(22)$$

$$\frac{\partial g(C_{gs})}{\partial C_{gs}} = \frac{\omega Z_0 (1 + G_d Z_0)}{1 + (2G_d + g_m) Z_0} > 0 \Leftrightarrow \frac{\partial \text{phase}(S_{21})}{\partial C_{gs}} < 0 \quad \dots(23)$$

【0036】が成り立つ。よって、ゲート接地FETの場合には、

Gdの増加に応じて位相が遅れる

Cgsの増加に応じて位相が遅れる
ことがわかる。

【0037】以上のことから、Gdがソース接地FETとゲート接地FETで位相の進み遅れが逆になる主要因であることがわかる。図6は、ソース接地FETとゲート接地FETのゲート電圧Vgsに対する位相特性を示す。バイアス点を飽和電流値Idssの1/2から1/10まで変化させ、1dB利得圧縮点での位相を比較している。ソース接地FETでは、Idss/4付近で位相変化が小さく、Idss/10付近に近くなると位相が大きく進む。一方、ゲート接地FETでは、Idss/4付近で位相が遅れ、Idss/10付近に近くなると位相変化が小さくなる。したがって、ソース接地FETでは動作点をIdss/4付近に設定し、ゲート接地FETでは動作点をIdss/10付近に設定すると位相歪を低減できる。すなわち、単体での位相特性の改善には、ソース接地FETでは動作点をIdss/4付近に設定し、ゲート接地FETでは動作点をIdss/10付近に設定すればよい。

【0038】このように、ソース接地FETとゲート接地FETの位相変化は互いに逆特性になるので、ソース接地FETとゲート接地FETを縦続に接続し、動作点を適切に設定すれば、図7に示すように互いの位相歪を補償することができる。なお、図7は、前段にソース接地FETを配置し、後段にゲート接地FETを配置した構成の位相変化—入力電力特性を示し、ΔPは前段ソース接地FETの利得点による位相変化のずれを示す。

【0039】したがって、図1に示す構成のように、ソース接地FETを用いた逆位相歪発生器13とゲート接地FETを用いた増幅器14を組み合わせ、各段ごとの動作点を最適化することにより、電力増幅器全体で位相歪を補償することができる。この構成では、ともに増幅作用のあるFETを組み合わせるので、電力効率が高かつモノリシックIC化が容易である。なお、ソース接地FETおよびゲート接地FETを3段以上の多段構成としても、同様に低位相歪電力増幅器を実現することができる。

【0040】図8は、本発明の低位相歪電力増幅器の実施例構成を示す。なお、本実施例はカスコード型FET増幅器に適用したものである。図において、カスコード型FET増幅器は、前段のソース接地FET21のドレ

イン端子と後段のゲート接地FET22のソース端子がカスコード接続される。ソース接地FET21のゲート端子(Vg)、ゲート接地FET22のゲート端子(Vc)とドレイン端子(Vd)に電力を供給するバイアス回路を有する。入力信号は前段のソース接地FET21のゲート端子に入力され、後段のゲート接地FET22のドレイン端子から出力信号が取り出される構成になっている。なお、前段のソース接地FET21と後段のゲート接地FET22は、上述したようにそれぞれ逆位相歪発生器および増幅器として機能し、互いの位相歪を補償することができる。

【0041】ここで、カスコード型FET増幅器の前段のソース接地FET21のゲート電圧(Vg)と、後段のゲート接地FET22のゲート電圧(Vc)を変化させたときの1dB利得圧縮点での出力位相を図9に示す。各FETともにゲート電圧を負の方向にすると、位相が小さくなることがわかる。ゲート電圧Vg、Vcを変化させることは、両者の電圧配分を変化させることと等価であり、前段の印加電圧が後段の印加電圧よりも小さいときに高出力・高効率となる。

【0042】次に、カスコード型FET増幅器で位相変化が最小になるバイアス点を設定した場合と、電力効率が最大となるバイアス点を設定した場合との比較例を図10に示す。位相歪を改善するために位相変化が最小になるバイアス点を設定すると、実際に隣接チャネル漏洩電力の規定値を満たす範囲では効率が高くなることがわかる。ここで、ソース接地FETとゲート接地FETに使用するゲート幅は同じである必要はなく、前後段で大きさを変えてもよい。

【0043】なお、この回路構成は、飽和領域で動作する電力増幅器だけでなく、大きな位相変化が問題となる振幅制限回路などにも適用可能である。

【0044】

【発明の効果】以上説明したように、本発明の低位相歪電力増幅器は、ソース接地FETとゲート接地FETとを組み合わせることにより、増幅器全体の位相歪を打ち消して低位相歪化を実現することができる。これにより、多値PSK変調波の増幅時に出力端子におけるスペクトラムの広がりを小さくでき、隣接チャネルに及ぼす影響を小さくすることができる。

【0045】また、各FETを同一基板上に作製することができるので、電力増幅器全体のモノリシックIC化が極めて容易になり、コストを低減することができる。

また、位相歪を抑えることで増幅器のバックオフを小さくして飽和領域付近での動作が可能となり、使用時の電力効率を高めることができる。

【図面の簡単な説明】

【図 1】 本発明の低位相歪電力増幅器の基本構成を示す図。

【図 2】 ソース接地 FET 増幅器とゲート接地 FET 増幅器の入出力特性を示す図。

【図 3】 非線形 FET 等価回路を示す図。

【図 4】 非線形 FET 等価回路の各非線形素子を個別に 10 変化させた場合の位相変化を示す図。

【図 5】 ソース接地 FET およびゲート接地 FET の等価回路を示す図。

【図 6】 ソース接地 FET とゲート接地 FET のゲート電圧 V_{gs} に対する位相特性を示す図。

【図 7】 前段ソース接地 FET、後段ゲート接地 FET 構成の位相変化—入力電力特性を示す図。

【図 8】 本発明の低位相歪電力増幅器の実施例構成を示す図。

【図 9】 ゲート電圧 V_g に対する位相変化を示す図。 20

【図 10】 バイアス点を変えた場合の入出力特性の比較結果を示す図。

【図 11】 低歪化を図った従来の電力増幅器の構成を示す図。

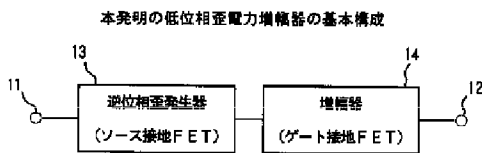
す図。

【図 12】 低歪化を図った従来の電力増幅器の構成を示す図。

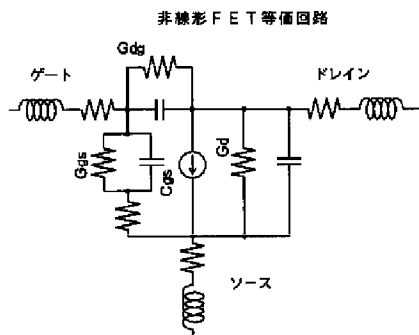
【符号の説明】

- 11 入力端子
- 12 出力端子
- 13 ソース接地 FET を用いた逆位相歪発生器
- 14 ゲート接地 FET を用いた増幅器
- 21 ソース接地 FET
- 22 ゲート接地 FET
- 31 電力増幅器
- 32 位相歪補償回路
- 33 レベル調整用アッテネータ
- 34 逆位相歪発生器
- 41 入力端子
- 42 出力端子
- 43 FET
- 44 入力整合回路
- 45 出力整合回路
- 46 ゲートバイアス端子
- 47 ドレインバイアス端子
- 48 非線形抵抗

【図 1】

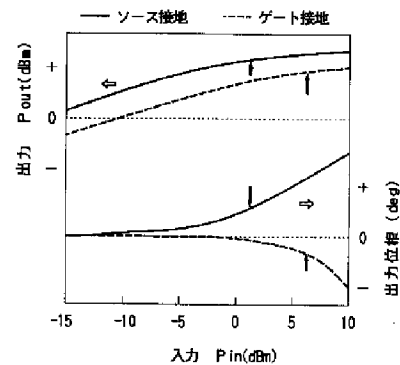


【図 3】



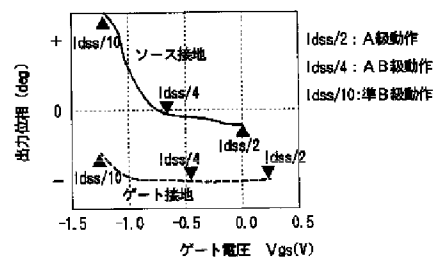
【図 2】

ソース接地 FET 増幅器とゲート接地 FET 増幅器の入出力特性



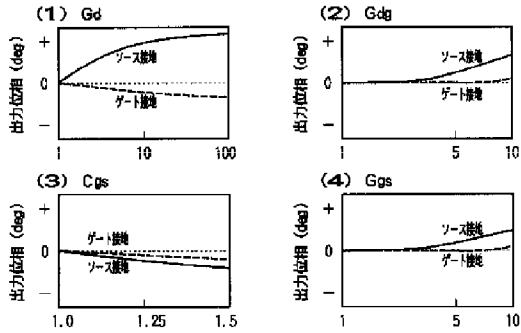
【図 6】

ソース接地 FET とゲート接地 FET のゲート電圧 V_{gs} に対する位相特性



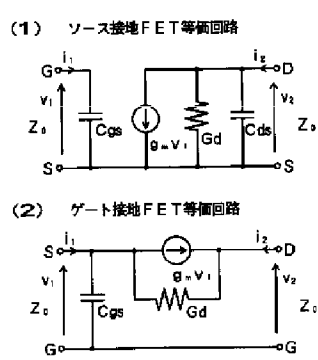
【図4】

非線形FET等価回路の各非線形要素を個別に変化させた場合の位相変化



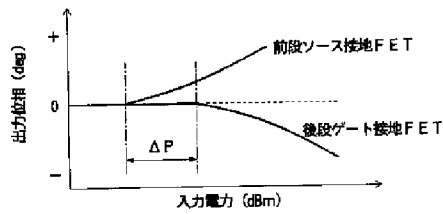
【図5】

ソース接地FETおよびゲート接地FETの等価回路



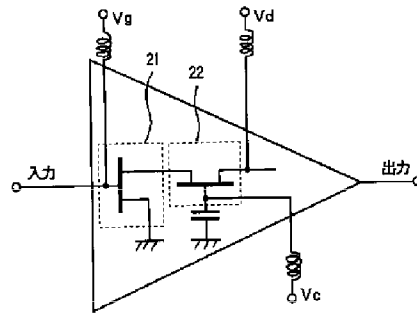
【図7】

前段ソース接地FET、後段ゲート接地FET構成の位相変換-入力電力特性

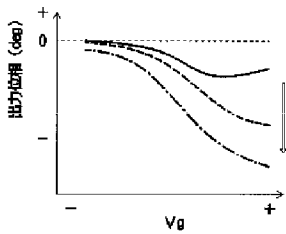


【図8】

本発明の低位相歪電力増幅器の実施例構成

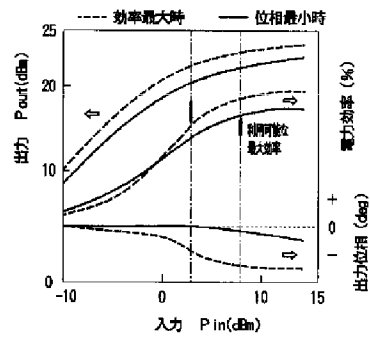


【図9】

ゲート電圧 V_g に対する位相変化

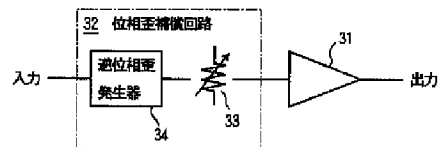
【図10】

バイアス点を変えた場合の入出力特性の比較結果



【図11】

低歪化を図った従来の電力増幅器



【図12】

低歪化を図った従来の電力増幅器

